



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10210484 A**(43) Date of publication of application: **07 . 08 . 98**

(51) Int. Cl.

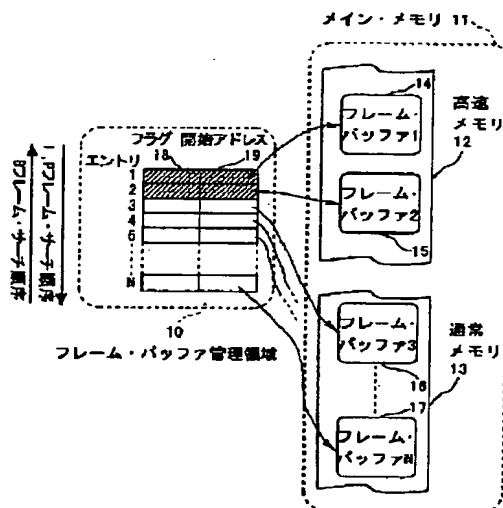
H04N 7/32
G09G 5/00
G09G 5/36
H04N 1/21

(21) Application number: **09025939**(71) Applicant: **NEC CORP**(22) Date of filing: **24 . 01 . 97**(72) Inventor: **NADEHARA KOUHEI****(54) FRAME BUFFER MANAGEMENT SYSTEM****(57) Abstract:**

PROBLEM TO BE SOLVED: To provide a system that realizes a high-speed MPEG video decoder software in a microcomputer system, in which a conventional memory such as a dynamic RAM and a high speed memory such as a static RAM are used in parallel.

SOLUTION: A frame buffer secured on a high speed memory 12 is registered to a head entry of a frame buffer management area 10 managing assignment of the frame buffer, and a frame buffer secured on a conventional memory 13 is registered to an entry of the back. The frame buffer storing an I picture (in-frame coded picture) or a P picture (inter-frame forward prediction coded picture) is retrieved in an ascending order from the head entry and the frame buffer which stores a B picture (bi-directional prediction coded picture) is retrieved in a descending order from the end entry.

COPYRIGHT: (C)1998,JPO



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平10-210484

(43)公開日 平成10年(1998) 8月7日

(51)Int.Cl.⁹

識別記号

F I

H 0 4 N 7/32

H 0 4 N 7/137

Z

G 0 9 G 5/00

5 5 5

G 0 9 G 5/00

5 5 5 A

5/36

5 1 0

5/36

5 1 0 M

H 0 4 N 1/21

H 0 4 N 1/21

審査請求 有 請求項の数11 F D (全 20 頁)

(21)出願番号

特願平9-25939

(22)出願日

平成9年(1997)1月24日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 撫原 恒平

東京都港区芝五丁目7番1号 日本電気株式会社内

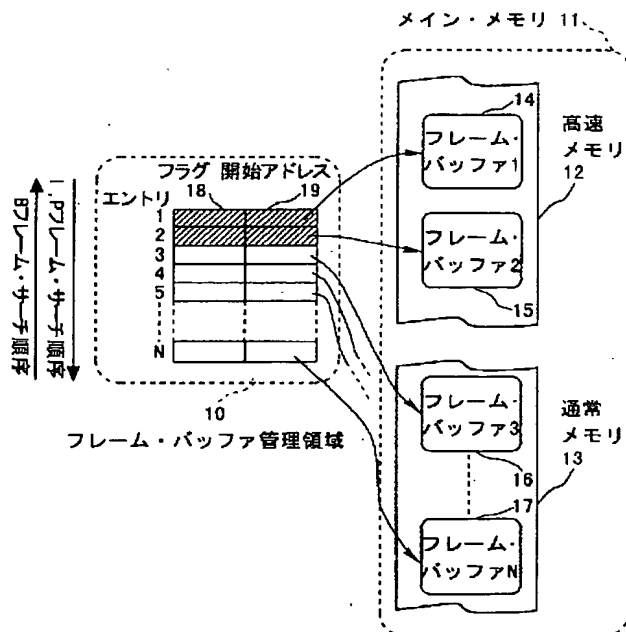
(74)代理人 弁理士 加藤 朝道

(54)【発明の名称】 フレーム・バッファ管理方式

(57)【要約】

【課題】ダイナミックRAMのような通常メモリとスタティックRAMのような高速メモリを併用したマイクロコンピュータ・システム上で、高速なMPEGビデオ・デコーダ・ソフトウェアを実現する方式の提供。

【解決手段】フレーム・バッファの割り当てを管理するフレーム・バッファ管理領域10の、先頭エントリに高速メモリ12上に確保したフレーム・バッファを登録し、その後ろのエントリに通常メモリ13上に確保したフレーム・バッファを登録し、IまたはPピクチャを格納するフレーム・バッファは先頭エントリから昇順に、Bピクチャを格納するエントリは末尾エントリから降順に検索する。



【特許請求の範囲】

【請求項1】MPEG規格によって圧縮されたビットストリームを伸長する装置において、高速型メモリと通常型メモリが混在するメモリ・システムを備え、MPEGで規定されるIピクチャおよびPピクチャを格納するフレーム・バッファを前記高速型メモリ上に優先して確保する、ことを特徴とする装置。

【請求項2】請求項1の装置において、フレーム・バッファの割り当てを単一のフレーム・バッファ管理領域により管理し、前記フレーム・バッファ管理領域のエントリのうち、先頭部分に、前記高速型メモリ上のフレーム・バッファを登録し、それらより後のエントリに、前記通常型メモリ上のフレーム・バッファを登録し、IピクチャおよびPピクチャを格納するフレーム・バッファを確保するときには、前記フレーム・バッファ管理領域の先頭のエントリから昇順に検索し、Bピクチャを格納するフレーム・バッファを確保するときは、前記フレーム・バッファ管理領域最後のエントリから降順に検索する、ことを特徴とする装置。

【請求項3】請求項1の装置において、フレーム・バッファの割り当てを、前記高速型メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域と、前記通常型メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域により管理し、IピクチャおよびPピクチャを格納するフレーム・バッファを確保するには、前記高速型メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域を先に、前記通常型メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域を後に検索し、Bピクチャを格納するフレーム・バッファを確保するには、前記通常型メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域を先に、前記高速型メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域を後に検索する、ことを特徴とする装置。

【請求項4】請求項1記載の装置において、フレーム・バッファの割り当てを、IピクチャまたはPピクチャに割り当てるフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域と、Bピクチャに割り当てるフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域により管理し、双方のフレーム・バッファ管理領域のエントリの先頭に、最低1枚ずつ高速型メモリ上に確保したフレーム・バッファを登録し、IピクチャまたはPピクチャを格納するフレーム・バッファを確保するときは、IピクチャまたはPピクチャに割り当てるフレーム・バッファの割り当てを管理するフ

レーム・バッファ管理領域をエントリ先頭から昇順に検索し、

Bピクチャを格納するフレーム・バッファはBピクチャに割り当てるフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域をエントリ先頭から昇順に検索する、ことを特徴とする装置。

【請求項5】請求項2、3、4のいずれかーに記載の装置において、

キャッシュ・メモリの一部をロックし、リブレースされないようにして、前記高速型メモリの代わりに使用する、ことを特徴とする装置。

【請求項6】相対的に小容量の高速型メモリと大容量の通常型メモリが混在するメモリ・システムを備え、MPEG規格によって圧縮されたビットストリームを伸長する装置におけるフレーム・バッファの管理方法であって、

フレーム・バッファの割り当てを単一のフレーム・バッファ管理領域により管理し、前記フレーム・バッファ管理領域のエントリのうち、先頭部分に、前記高速型メモリ上のフレーム・バッファを登録し、それらより後のエントリに、前記通常型メモリ上のフレーム・バッファを登録し、

IピクチャおよびPピクチャを格納するフレーム・バッファを確保するときには、前記フレーム・バッファ管理領域の先頭のエントリから昇順に検索し、

Bピクチャを格納するフレーム・バッファを確保するときは、前記フレーム・バッファ管理領域最後のエントリから降順に検索する、ことを特徴とするフレーム・バッファ管理方法。

【請求項7】相対的に小容量の高速型メモリと大容量の通常型メモリが混在するメモリ・システムを備え、MPEG規格によって圧縮されたビットストリームを伸長する装置におけるフレーム・バッファの管理方法であって、

フレーム・バッファの割り当てを、前記高速型メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域と、前記通常型メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域により管理し、

IピクチャおよびPピクチャを格納するフレーム・バッファを確保するには、前記高速型メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域を先に、前記通常型メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域を後に検索し、

Bピクチャを格納するフレーム・バッファを確保するには、前記通常型メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域を先に、前記高速型メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域を後に検索する、こと

を特徴とするフレーム・バッファ管理方法。

【請求項8】相対的に小容量の高速型メモリと大容量の通常型メモリが混在するメモリ・システムを備え、MPEG規格によって圧縮されたビットストリームを伸長する装置におけるフレーム・バッファの管理方法であって、

フレーム・バッファの割り当てを、IピクチャまたはPピクチャに割り当てるフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域と、Bピクチャに割り当てるフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域により管理し、

双方のフレーム・バッファ管理領域のエントリ先頭に、最低1枚ずつ高速型メモリ上に確保したフレーム・バッファを登録し、

IピクチャまたはPピクチャを格納するフレーム・バッファを確保するときは、IピクチャまたはPピクチャに割り当てるフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域をエントリ先頭から昇順に検索し、

Bピクチャを格納するフレーム・バッファはBピクチャに割り当てるフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域をエントリ先頭から昇順に検索する、ことを特徴とするフレーム・バッファ管理方法。

【請求項9】相対的に小容量の高速型メモリと大容量の通常型メモリが混在するメモリ・システムを備え、MPEG規格によって圧縮されたビットストリームを伸長する処理装置上で実行されてフレーム・バッファの管理を行うプログラムであって、

フレーム・バッファの割り当てを単一のフレーム・バッファ管理領域により管理し、前記フレーム・バッファ管理領域のエントリのうち、先頭部分に、前記高速型メモリ上のフレーム・バッファを登録し、それらより後のエントリに、前記通常型メモリ上のフレーム・バッファを登録し、

IピクチャおよびPピクチャを格納するフレーム・バッファを確保するときは、前記フレーム・バッファ管理領域の先頭のエントリから昇順に検索し、

Bピクチャを格納するフレーム・バッファを確保するときは、前記フレーム・バッファ管理領域最後のエントリから降順に検索する、

前記各処理を前記処理装置で実行させるプログラムを記録した記録媒体。

【請求項10】相対的に小容量の高速型メモリと大容量の通常型メモリが混在するメモリ・システムを備え、MPEG規格によって圧縮されたビットストリームを伸長する処理装置上で実行されてフレーム・バッファの管理を行うプログラムであって、

フレーム・バッファの割り当てを、前記高速型メモリ上のフレーム・バッファの割り当てを管理するフレーム・

バッファ管理領域と、前記通常型メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域により管理し、

IピクチャおよびPピクチャを格納するフレーム・バッファを確保するには、前記高速型メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域を先に、前記通常型メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域を後に検索し、

10 Bピクチャを格納するフレーム・バッファを確保するには、前記通常型メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域を先に、前記高速型メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域を後に検索する、前記各処理を前記処理装置で実行させるプログラムを格納した記録媒体。

【請求項11】相対的に小容量の高速型メモリと大容量の通常型メモリが混在するメモリ・システムを備え、MPEG規格によって圧縮されたビットストリームを伸長する処理装置上で実行されてフレーム・バッファの管理を行うプログラムであって、

フレーム・バッファの割り当てを、IピクチャまたはPピクチャに割り当てるフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域と、Bピクチャに割り当てるフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域により管理し、

双方のフレーム・バッファ管理領域のエントリ先頭に、最低1枚ずつ高速型メモリ上に確保したフレーム・バッファを登録し、

30 IピクチャまたはPピクチャを格納するフレーム・バッファを確保するときは、IピクチャまたはPピクチャに割り当てるフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域をエントリ先頭から昇順に検索し、

Bピクチャを格納するフレーム・バッファはBピクチャに割り当てるフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域をエントリ先頭から昇順に検索する、

40 前記各処理を前記処理装置で実行させるプログラムを格納した記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像伸長装置に関する、特に画像伸長装置の高速化実現技術に関する。

【0002】

【従来の技術】近時、従来からある文字情報だけではなく、音声、オーディオ、静止画像、動画像といった多様なデータを扱う、いわゆるマルチメディア・アプリケーションが一般化しつつある。これらのマルチメディア・データは膨大なため、いったんデータが持つ特性を利用

してデータ量を数十分の一から数百分の一に圧縮した後、ハードディスクなどの外部記憶装置に格納したり、ネットワークを通じて転送する。

【0003】圧縮方式としては、例えば動画像を対象にする場合MPEG-1 (ISO/IEC 11172, "Information Technology-Coding of Moving Pictures and Associated Audio for Digital Storage Media upto 1.5Mbits/s, "International Standards Organization/International Electrotechnical Commission, Geneva, 1991)、および、このMPEG-1より高品質なMPEG-2 (ISO/IEC 13818, "Generic Coding of Moving Pictures and Associated Audio, "International Standards Organization/International Electrotechnical Commission, Geneva, 1995) がよく知られている。

【0004】これらのMPEG規格に従って圧縮された動画像データを、以下では、「MPEGビットストリーム」もしくは単に「ビットストリーム」と呼ぶ。MPEGビットストリームは、格納もしくは転送された後、必要に応じて伸長（デコード）され、デコード結果の画像が表示される。

【0005】従来、MPEGビットストリームのデコード処理は、専用LSIを用いて処理していたが、汎用マイクロプロセッサの高性能化に伴い、パーソナル・コンピュータや家庭用テレビ・ゲーム機などのマイクロコンピュータ製品上で、ソフトウェアを使ってMPEG規格に従って圧縮された動画像を伸長（デコード）することが可能となるに至っている。

【0006】図13に、MPEGビットストリームのデコードを行うマイクロコンピュータ製品の内部構成の一例の概略をブロック図にて示す。図13を参照して、デコード処理を行うマイクロプロセッサ41と、デコード用ソフトウェアおよびデータを格納するメイン・メモリ42と、ビットストリーム46の入力およびデコード画像47の出力を行う入出力装置40とが、内部バス45で接続されている。

【0007】MPEGビットストリームのデコード処理の構成を、図14に示す。MPEGビットストリームは階層構造をとる。ひとつながりの動画像は「シーケンス」と呼ばれる。シーケンスは「GOP (Group of Pictures)」の集まりである。GOPは、複数枚（例えば15枚）の「ピクチャ」と呼ばれる静止画の集まりである。一枚のピクチャは、複数の「ス

ライス」から構成され、一スライスは、16画素×16画素の「マクロブロック」から構成される。マクロブロックは、8画素×8画素の「ブロック」4個で構成される。デコード処理は、この階層に従って行われる。

【0008】図14を参照すると、初期化120の後、シーケンス層のデコード処理121が開始され、シーケンス層のデコード処理121は内部的にGOP層のデコード処理122を呼び、GOP層のデコード処理122は内部的にピクチャ層のデコード処理123を呼び、ピクチャ層のデコード処理123は内部的にスライス層のデコード処理124を呼び、スライス層のデコード処理124は内部的にマクロブロック層のデコード処理125を呼び、マクロブロック層のデコード処理125は内部的にブロック層のデコード処理126を呼ぶ。

【0009】MPEGビットストリームのデコード処理には、デコード画像を収めるための作業領域が必要になる。この作業領域を、以下では「フレーム・バッファ・プール」と呼ぶ。

【0010】フレーム・バッファ・プールは、MPEGデコード・ソフトウェアの初期化120の一環として確保される。

【0011】ピクチャ層のデコード処理123が開始されると、まずピクチャ・ヘッダ部をデコードし、次にフレーム・バッファ・プールから未使用のフレーム・バッファを1枚確保し、ピクチャ層以下のデコードに使用する。デコードしたピクチャを表示または動き補償に使用した後不要となると、そのピクチャを収めるフレーム・バッファは解放される。

【0012】フレーム・バッファ・プールの構成の一例を図15に示す。フレーム・バッファ・プールは、複数枚（N枚）のフレーム・バッファ（フレーム・バッファ1、フレーム・バッファ2、…、フレーム・バッファN、Nは例えば8）132、133、134と、フレーム・バッファ管理領域130と、からなる。複数枚のフレーム・バッファ132、133、134は、メイン・メモリ131上に置かれる。フレーム・バッファ管理領域130もメイン・メモリ131上に置かれることが多い。

【0013】1枚のフレーム・バッファは1枚のピクチャを保持する。フレーム・バッファ管理領域130は各フレーム・バッファに対応したN個のエントリを持つ。各エントリは、対応するフレーム・バッファが「未使用」であるか「使用中」であるかを示すフラグ135と、対応するフレーム・バッファの開始アドレス136と、を保持する。

【0014】フレーム・バッファ・プールの初期化は、MPEGデコード・ソフトウェアの初期化（図14の120）時には完了しているものとする。すなわち、MPEGビットストリームのデコード開始時には、N枚のフレーム・バッファ132、133、134がメイン・メ

メモリ131上に確保され、フレーム・バッファ管理領域130の全てのエントリのフラグ135は「未使用」に設定されており、全てのエントリの開始アドレス136は有効なフレーム・バッファの開始アドレスを保持しているとする。

【0015】図15にその構成例を示したフレーム・バッファ・プールの管理の処理フローを、図16に流れ図として示す。

【0016】ピクチャ層のデコード処理123（図14参照）において、フレーム・バッファを確保するときには、フレーム・バッファ管理領域130のエントリ番号1からNまでを昇順に検索し、最初に発見した未使用フレーム・バッファを確保する。すなわち、検索対象のエントリ番号を*i*とすると、まず*i*=1と設定する（図16のステップ141）。

【0017】そして、フレーム・バッファ管理領域130のエントリ*i*のフラグ135を調べ（ステップ142）、「使用中」でない場合には、フレーム・バッファ*i*を使用することにし（ステップ146）、フラグ135を「使用中」に更新し、「使用中」である場合には、変数*i*に1を加算して更新し（ステップ143）、次のエントリを検索する。

【0018】そして、変数*i*を更新した後に、その値がNを超えたか否かを調べ（ステップ144）、*i*の値がNを超えていれば、使用可能なフレーム・バッファはないので、エラー終了とする（ステップ145）。

【0019】図15に示した構成例では、フレーム・バッファ管理領域130のエントリの検索順序は、先頭エントリから昇順とされているが、末尾エントリから降順に検索してもよい。

【0020】

【発明が解決しようとする課題】図13に一例を示した、マイクロコンピュータ・システムの内部構成のうち、メイン・メモリ42については、別の構成をとることにより、処理を高速化することができる。参考のため、図4に、高速化のための構成の一例を示す。

【0021】図4を参照して、メイン・メモリ42の構成要素として、高速だが小容量なスタティックRAM（図中、高速メモリ43で示す）と、大容量だが低速なダイナミックRAM（図中、通常メモリ44で示す）が考えられる。

【0022】ここで、性能面のみに着目すると、全て高速メモリ43を用いてメイン・メモリ42を構築した方がよいが、高コストになる。一方、コスト面にのみ着目すると、全て容量あたりのコストが低い通常メモリ44を用いてメイン・メモリ42を構築した方がよいが、低速になる。

【0023】図4に示す例では、高速メモリ43と通常メモリ44とを組み合わせ、比較的低コストに比較的高速なメイン・メモリ42を実現している。

【0024】そして、図4に示すシステム構成においては、頻繁に実行されるプログラムや頻繁にアクセスされるデータを高速メモリ43に、それ以外のプログラムやデータを通常メモリ44に置くことにより、比較的低コストなメイン・メモリ42システム上で比較的高速な処理を行える。

【0025】しかし、図16に示した、フレーム・バッファ・プールの管理方法の処理フローでは、このような異質なメモリを組み合わせたメイン・メモリに対する配慮がなされていず、図4に示したマイクロコンピュータ・システムの性能を最大限に発揮させることができない、という問題を有している。

【0026】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、ダイナミックRAMのような通常メモリとスタティックRAMのような高速メモリを併用したマイクロコンピュータ・システム上で、高速なMPEGビデオ・デコーダ・ソフトウェアを実現する装置を提供することにある。

【0027】

【課題を解決するための手段】前記目的を達成するため、本発明は、MPEG規格によって圧縮されたビットストリームを伸長する装置において、高速型メモリと通常型メモリが混在するメモリ・システムを備え、MPEGで規定されるIピクチャおよびPピクチャを格納するフレーム・バッファを前記高速型メモリ上に優先して確保する、ことを特徴とする。

【0028】〔発明の概要〕通常型メモリ上のフレーム・バッファに加え、高速型メモリ上に1枚以上、（できれば2枚以上）のフレーム・バッファを確保し、IピクチャまたはPピクチャの格納に優先的に割り当てる。

【0029】本発明によれば、動き補償処理時に参照されるためアクセス回数が多いIおよびPピクチャが、高速メモリ上に配置される確率を増やすことで、フレーム・バッファ・アクセスの平均時間が短縮したものであり、これによりMPEGデコーダ・ソフトウェアの平均実行性能を向上させる。

【0030】

【発明の実施の形態】本発明の好ましい実施の形態について以下に説明する。本発明は、その好ましい実施の形態において、フレーム・バッファの割り当てを単一のフレーム・バッファ管理領域（図1の10）により管理し、フレーム・バッファ管理領域のエントリのうち、先頭部分に、高速メモリ（図1の12）上のフレーム・バッファ（図1の14、15）を登録し、これらより後のエントリに、高速メモリよりも低速型の通常メモリ（図1の13）上のフレーム・バッファ（図1の16、17）を登録し、（a）IピクチャおよびPピクチャを格納するフレーム・バッファを確保するときには、フレーム・バッファ管理領域の先頭のエントリから昇順にサーチし、（b）Bピクチャを格納するフレーム・バッファ

を確保するときは、前記フレーム・バッファ管理領域最後のエン트리から降順に検索する。

【0031】これにより、アクセスが多いIおよびPピクチャが、高速メモリ上に確保したフレーム・バッファに優先して割り当てられるため、MPEGビデオ・デコーダ・ソフトウェアの性能を向上する。

【0032】また、本発明は、その好ましい実施の形態において、フレーム・バッファの割り当てを、高速メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域（図5の50）と、通常メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域（図5の51）により管理し、（a）IおよびPピクチャを格納するフレーム・バッファを確保するには、高速メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域（図5の50）を先に、通常メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域（図5の51）を後に検索し、（b）Bピクチャを格納するフレーム・バッファを確保するには、通常メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域（図5の51）を先に、高速メモリ上のフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域（図5の50）を後に検索する。

【0033】また、本発明は、その好ましい実施の形態において、フレーム・バッファの割り当てを、IまたはPピクチャに割り当てるフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域（図9の90）と、Bピクチャに割り当てるフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域（図9の91）により管理し、双方のフレーム・バッファ管理領域のエントリの先頭に、最低1枚ずつ高速メモリ上に確保したフレーム・バッファを登録し、（a）IピクチャまたはPピクチャを格納するフレーム・バッファを確保するときは、IピクチャまたはPピクチャに割り当てるフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域をエントリ先頭から昇順に検索し、（b）Bピクチャを格納するフレーム・バッファはBピクチャに割り当てるフレーム・バッファの割り当てを管理するフレーム・バッファ管理領域をエントリ先頭から昇順に検索する。

【0034】

【実施例】上記した実施の形態について更に詳細に説明すべく、本発明の実施例について図面を参照して以下に説明する。

【0035】以下では、まず、前提として、MPEGで定義されているピクチャの種類と相互の依存関係を説明する。次に、高速小容量メモリと大容量低速メモリを混在させたメモリ・システム上でのフレーム・バッファ・プールの構成とその管理フローチャートについて3種類述べる。

【0036】まず、MPEGで定義されているピクチャの種類と相互の依存関係を説明する。MPEGで定義されるピクチャには、動き補償の種類によってI、P、Bという3種類がある。

【0037】Iピクチャ（Intra符号化画像；フレーム内符号化画像）のデコードには動き補償を使わないため、Iピクチャのデコード時に他のフレーム・バッファを参照することはない。

【0038】Pピクチャ（Predictive符号化画像；フレーム間順方向予測符号化画像）のデコードには動き補償のうち前方予測を使うことがある。したがって、Pピクチャのデコード時には、以前デコードしたIピクチャまたはPピクチャ1フレームを参照することがある。

【0039】Bピクチャ（Bidirectionally predictive符号化画像；双方予測符号化画像）のデコードには動き補償のうち双方向予測を使うことがある。したがって、Bピクチャのデコード時には、以前デコードしたIピクチャまたはPピクチャ2フレームを参照することがある。

【0040】図3に、ピクチャ種類別の依存関係の一例を示す。フレーム1（Iピクチャ、30）、フレーム2（Bピクチャ、31）、フレーム3（Bピクチャ、32）、フレーム4（Pピクチャ、33）をこの順序で表示するとすると、ビットストリーム上のフレーム順序はフレーム1（30）、フレーム4（33）、フレーム2（31）、フレーム3（32）であり、デコードもこの順序で行う。

【0041】まずフレーム1（30）をデコードする。フレーム1（30）は、Iピクチャであるため、フレーム1（30）自身で完結しており、動き補償のために他のフレームを参照することはない。

【0042】次にフレーム4（33）をデコードする。フレーム4（33）はPピクチャであり、デコード処理時にフレーム・バッファに収められたフレーム1（30）を参照しながら前方向動き予測による動き補償36が行われる。

【0043】3番目にフレーム2（31）をデコードする。フレーム2（31）はBピクチャであり、デコード処理時にフレーム・バッファに収められたフレーム1（30）とフレーム4（33）を参照しながら双方向動き予測による動き補償34が行われる。

【0044】最後にフレーム3（32）をデコードする。フレーム3（32）はBピクチャであり、デコード処理時にフレーム・バッファに収められたフレーム1（30）とフレーム4（33）を参照しながら双方向動き予測による動き補償35が行われる。

【0045】次に、異種メモリを混在させたメイン・メモリ上でのフレーム・バッファ・プールの構成について説明する。

【0046】メイン・メモリとして、高速だが小容量な

メモリ（以下「高速メモリ」という、例えばスタティックRAM43）大容量だが低速なメモリ（以下「通常メモリ」という、例えばダイナミックRAM44）を組み合わせた構成の一例を示す図4を参照して以下に説明する。

【0047】各メモリの容量としては、高速メモリ43が数百キロバイト（例、256～512キロバイト）、通常メモリ44が数メガバイトかそれ以上（例、8メガ～64メガバイト）が標準的と考えられる。MPEG-1における標準的なピクチャ形式である解像度横354画素、縦240画素、1画素ごとに輝度信号8ビット、4画素ごとに色差信号8ビット2プレーンというフォーマットでは、1ピクチャあたり約127キロバイトの容量が必要である。従って、例えば8枚のフレーム・バッファを確保する場合、高速メモリ43の容量の制限から、8枚全てを高速メモリ43上に確保することはできない。したがって、せいぜい1ないし2枚のフレーム・バッファを高速メモリ43上に確保し、残りの7ないし6枚は、低速だが安価な通常メモリ44上に確保することになる。

【0048】このように、高速メモリ43上に確保したフレーム・バッファと低速メモリ44上に確保したフレーム・バッファが両方存在するとき、以下に第1から第3の実施例として説明するフレーム・バッファ・プールの管理制御方法によって、この2種類のフレーム・バッファを使い分け、MPEGデコード・ソフトウェアの実行性能を向上することができる。すなわち、MPEGビットストリームに含まれる3種類のピクチャのうち、後続フレームのデコード時にアクセスされるI、Pフレームを、後続フレームのデコードに使われることのないBフレームよりも優先して高速メモリ43上に確保したフレーム・バッファに割り当てるよう制御することで、アクセス回数の多いピクチャを高速なフレーム・バッファに優先的に割り当てることができ、デコード・ソフトウェアの実行速度が高速化される。

【0049】本発明の第1の実施例に係るフレーム・バッファ・プールの管理方法について、図1および図2を参照して以下に詳細に説明する。

【0050】まず、フレーム・バッファ・プールを、図15に示した従来方式から、図1に示す構成に変更している。すなわち、図1を参照すると、フレーム・バッファ管理領域10のエントリ番号の1から昇順に高速メモリ12上に確保したフレーム・バッファ（14、15）を全て登録し、これらより後ろのエントリ（図1に示す例では、エントリ3以降）に通常メモリ13上に確保したフレーム・バッファ（16、17）を登録する。

【0051】フレーム・バッファ管理領域10は、総フレーム・バッファ数N（高速メモリ上に確保したフレーム・バッファの枚数と通常メモリ上に確保したフレーム・バッファの枚数の合計）に等しい個数のエントリを持

つ。各エントリは、対応するフレーム・バッファが未使用か、使用中であることを示すフラグ18と、フレーム・バッファの開始アドレス19を保持する。

【0052】図1に示したフレーム・バッファ・プールの初期化は、デコード・ソフトウェアの初期化120

（図14参照）時に完了しているものとする。すなわち、MPEGビットストリームのデコード開始時には、高速メモリ12上および通常メモリ13上に計N枚のフレーム・バッファが確保され、フレーム・バッファ管理領域10の全てのエントリのフラグ18は「未使用」に設定されており、フレーム・バッファ管理領域10の全てのエントリの開始アドレス19は有効なフレーム・バッファの開始アドレスを保持しているものとする。

【0053】図1に示したフレーム・バッファ・プールは、以下に示す方法で管理することで、高速化を達成できる。

【0054】すなわち、ピクチャ層のデコード処理123（図14参照）時に、フレーム・バッファを確保するとき、ピクチャ・タイプによってフレーム・バッファ・プール管理領域10のエントリの検索順序を変える。

【0055】IまたはPピクチャを格納するためのフレーム・バッファを確保するときには、エントリ番号1からNまでを昇順に検索し、Bピクチャを格納するためのフレーム・バッファを確保するときには、エントリ番号Nから1までを降順に検索する。ピクチャ・タイプは、ピクチャ層のデコード処理123（図14参照）の最初にピクチャ・ヘッダをデコードすると知ることができる。

【0056】次に図2の流れ図を参照して、図1に示したフレーム・バッファ・プールの管理方法について詳しく説明する。以下、検索対象のエントリ番号をiとする。

【0057】フレーム・バッファに格納するピクチャ・タイプを判定し（ステップ21）、IピクチャまたはPピクチャであったときの手順は次の通りである。まず、iの初期値として「1」と設定する（ステップ22）。

【0058】フレーム・バッファ・プール管理領域10のエントリiのフラグを調べ（ステップ23）、「使用中」でないならばフレーム・バッファiを使用することにしてそのフラグを「使用中」に更新し（ステップ27）、「使用中」ならiに「1」を加算して更新し（ステップ24）、次のエントリを検索する。そして、iの更新後に、その値がNを超えたか否かを調べ（ステップ25）、iがNを超えていれば使用可能なフレーム・バッファはないので、エラー終了とする（ステップ26）。

【0059】フレーム・バッファに格納するピクチャ・タイプを判定し（ステップ21）、Bピクチャであったときの手順は次の通りである。

【0060】まず、iの初期値として「N」を設定する

(ステップ29)。フレーム・バッファ・プール管理領域のエントリ*i*のフラグを調べ(ステップ30)、「使用中」でないならば、フレーム・バッファ*i*を使用することにしてフラグを「使用中」に更新し(ステップ27)、「使用中」ならば、*i*から「1」を減算して更新し(ステップ31)、次のエントリを検索する。*i*の更新後にその値を調べ(ステップ32)、*i*が「1」よりも小さくなった場合には、使用可能なフレーム・バッファはないので、エラー終了とする(ステップ33)。

【0061】以上説明したように、図2に示した処理手順によれば、アクセス回数が多いI、Pピクチャを収めるためのフレーム・バッファを確保するときには、高速メモリ上に確保されたフレーム・バッファを最初に検索し、アクセス回数が少ないBピクチャを収めるためのフレーム・バッファを確保するときには、低速メモリ上に確保されたフレーム・バッファを先に、高速メモリ上に確保されたフレーム・バッファを後に検索する。このため、本実施例によれば、ピクチャ・タイプにかかわらずフレーム・バッファを確保する従来の方法に比べ、デコーダ・ソフトウェアの実行速度を高速化できる。

【0062】以上説明した第1のフレーム・バッファ・プール管理方法では、高速メモリ上のフレーム・バッファは先頭エントリに登録し、I、Pピクチャ用フレーム・バッファは先頭エントリから昇順に、Bピクチャ用フレーム・バッファは末尾エントリから降順に検索したが、高速メモリ上のフレーム・バッファは末尾エントリに登録しI、Pピクチャ用フレーム・バッファは末尾エントリから降順に、Bピクチャ用フレーム・バッファは先頭エントリから降順に検索しても同じ効果が得られる。

【0063】また、図1に示した例では、高速メモリ12上に確保したフレーム・バッファの枚数は2枚としたが、1枚以上の任意の枚数について、上記と同じ議論が適用できる。

【0064】次に本発明の第2の実施例について説明する。図5は、本発明の第2の実施例の構成を示す図であり、優先的にI、Pピクチャに高速なフレーム・バッファを割り付けるフレーム・バッファ・プールの構成を示したものである。また図6から図8は、図5に示したフレーム・バッファ・プールを管理する方法を説明するための流れ図である。

【0065】図5を参照すると、本実施例においては、高速メモリ53上に確保したフレーム・バッファ(55、56)と、通常メモリ54上に確保したフレーム・バッファ(57、58)と、をそれぞれ別のフレーム・バッファ管理領域(50、51)で管理している。

【0066】高速メモリ53上にN1枚のフレーム・バッファを確保し、通常メモリ54上にN2枚のフレーム・バッファを確保しているものとする。フレーム・バッファ管理領域は、高速メモリ53上のフレーム・バッ

ファを管理するN1個のエントリを持つフレーム・バッファ管理領域1(50)と、通常メモリ54上のフレーム・バッファを管理するN2個のエントリを持つフレーム・バッファ管理領域2(51)に分割されている。二つのフレーム・バッファ管理領域の各エントリは対応するフレーム・バッファが未使用か使用中かを示すフラグ(501、511)と、フレーム・バッファの開始アドレス(502、512)を保持する。

【0067】図5に示したフレーム・バッファの初期化は、デコード・ソフトウェアの初期化120(図14参照)時に完了しているものとする。すなわち、MPEGビットストリームのデコード開始時には、高速メモリ53上にN1枚、通常メモリ54上にN2枚のフレーム・バッファが確保され、フレーム・バッファ管理領域1(50)、フレーム・バッファ管理領域2(51)の全てのエントリのフラグ(501、511)は未使用に設定されており、全てのエントリの開始アドレス(502、512)は有効なフレーム・バッファの開始アドレスを保持しているとする。

【0068】図6は、図5に示したフレーム・バッファ・プール構成を管理する方法を示す流れ図である。図6を参照して、フレーム・バッファに格納するピクチャ・タイプを判定し(ステップ61)、I、Pピクチャのためのフレーム・バッファを確保する場合、まず高速メモリ53上にフレーム・バッファの確保を試みる(ステップ62)。

【0069】ステップ62で、高速メモリ53上にフレーム・バッファの確保を試み失敗した場合、通常メモリ54上にフレーム・バッファの確保を試みる(ステップ63)。いずれかに成功した場合には正常終了であり(ステップ65)、いずれも失敗した場合はエラー終了である(ステップ64)。

【0070】Bピクチャのためのフレーム・バッファを確保する場合、まず通常メモリ54上にフレーム・バッファの確保を試みる(ステップ66)。それに失敗した場合、高速メモリ53上にフレーム・バッファの確保を試みる(ステップ67)。いずれかに成功した場合は正常終了であり(ステップ65)、いずれも失敗した場合は、エラー終了である(ステップ68)。

【0071】図7は、高速メモリ53上にフレーム・バッファを確保を試みる手順を説明するための流れ図である。図7を参照すると、まず、検索対象のエントリ番号*i*を「1」に初期化する(ステップ71)。次に、フレーム・バッファ管理領域1(図5の50)のエントリ*i*のフラグを調べ(ステップ72)、「使用中」でなければフレーム・バッファ*i*を確保することにし、そのフラグを「使用中」に更新し(ステップ76)、「使用中」であれば*i*に「1」を加算して更新し(ステップ73)、次のエントリを検索する。*i*を更新後その値を調べ(ステップ74)、*i*がN1を超えた場合、使用可能

な高速メモリ上のフレーム・バッファはないため「確保失敗」とする（ステップ75）。

【0072】図8は、通常メモリ54上にフレーム・バッファを確保を試みる手順を説明するための流れ図である。図8を参照すると、まず、検索対象のエントリ番号*i*を「1」に初期化する（ステップ81）。次に、フレーム・バッファ管理領域2（図5の51）のエントリ*i*のフラグを調べ（ステップ82）、「使用中」でなければフレーム・バッファ*i*を確保することにし、そのフラグを「使用中」に更新し（86）、「使用中」であれば *i*に「1」を加算して更新し（ステップ83）、次のエントリを検索する。*i*を更新後、その値を調べ（ステップ84）、*i*がN2を超えた場合、使用可能な通常メモリ上のフレーム・バッファはないため「確保失敗」とする（ステップ85）。

【0073】以上説明した第2の実施例においても、頻繁にアクセスされるIピクチャのためのフレーム・バッファ確保時には、優先的に高速メモリ53上のフレーム・バッファ（55、56）の利用可能性を検索し、Bピクチャのためのフレーム・バッファ確保時には、高速メモリ53上に確保されたフレーム・バッファ（55、56）を後に検索するため、ピクチャ・タイプにかかわらずフレーム・バッファを確保するという、従来の手法に比べ、デコーダ・ソフトウェアの実行速度を高速化できる。

【0074】この第2の実施例においては、図7、及び図8に流れ図で示した通り、フレーム・バッファ管理領域1（50）、フレーム・バッファ管理領域2（51）とも先頭エントリから昇順に検索したが、いずれか一方のフレーム・バッファ管理領域、もしくは両方のフレーム・バッファ管理領域を末尾エントリから降順に検索しても同様の効果が得られる。

【0075】次に本発明の第3の実施例を説明する。図9は、本発明の第3の実施例の構成を示す図であり、優先的にI、Pピクチャに高速なフレーム・バッファを割り付けるフレーム・バッファ・プールの構成を示す。また図10及び図11は、図9に示したフレーム・バッファ・プールの管理する方法を説明するための流れ図である。なお、図10及び図11は、単に図面作成の都合で分図されたものである。

【0076】図10及び図11を参照すると、I、Pピクチャ用フレーム・バッファとBピクチャ用フレーム・バッファを、別のフレーム・バッファ・プール管理領域で管理している。

【0077】図9に示した構成では、I、Pピクチャ用にN3枚の、Bピクチャ用にN4枚のフレーム・バッファを確保しているとする。ただし、I、Pピクチャ用フレーム・バッファのうち1枚以上（好ましくは2枚以上）は高速メモリ上に、残りは通常メモリ上に確保されているとする。同様にBピクチャ用フレーム・バッファ

のうち1枚以上は高速メモリ上に、残りは通常メモリ上に確保されているとする。

【0078】フレーム・バッファ管理領域は、I、Pピクチャ用フレーム・バッファを管理するN3個のエントリを持つフレーム・バッファ管理領域3（90）と、Bピクチャ用フレーム・バッファを管理するN4個のエントリを持つフレーム・バッファ管理領域4（91）から成る。両管理領域の各エントリは対応するフレーム・バッファが未使用か使用中かを示すフラグ（901、911）と、フレーム・バッファの開始のアドレス（902、912）を保持する。

【0079】図9に示したフレーム・バッファ・プールの初期化は、デコード・ソフトウェアの初期化120

（図14参照）時に完了しているものとする。すなわち、MPEGビットストリームのデコード開始時には、高速メモリ93上および通常メモリ94上に必要なフレーム・バッファが確保され、フレーム・バッファ管理領域（90、91）の全てのエントリのフラグ（901、911）は未使用に設定されており、全てのエントリの開始アドレス（902、912）は有効なフレーム・バッファの開始アドレスを保持しているとする。また、I、Pピクチャ用に高速メモリ93上に確保されたフレーム・バッファ（95、96）のアドレスは、すべてフレーム・バッファ管理領域3（90）に、エントリ1から昇順に登録されている。同様にBピクチャ用の高速メモリ93上に確保されたフレーム・バッファ（97）のアドレスは、すべてフレーム・バッファ管理領域4（91）に、エントリ1から昇順に登録されている。

【0080】図10及び図11は、図9に示すフレーム・バッファ・プールの管理する手順を示す流れ図である。図10を参照すると、フレーム・バッファに格納するピクチャ・タイプを判定し（ステップ111）、IまたはPピクチャを格納するためのフレーム・バッファを確保するときには、フレーム・バッファ管理領域3（90）のエントリ番号1からN3までを昇順に検索する。

【0081】まず、検索対象のエントリ番号*i*を「1」に初期化する（ステップ112）。次にエントリ*i*のフラグを調べ（ステップ113）、「使用中」でなければフレーム・バッファ*i*を使用することにしてそのフラグを「使用中」に更新し（ステップ117）、「使用中」なら*i*に「1」を加算して更新し（ステップ114）、次のエントリを検索する。*i*を更新した後、その値を調べ（ステップ115）、*i*が「N3」を超えた場合、使用可能なフレーム・バッファはないので、エラー終了とする（ステップ116）。

【0082】図11を参照して、Bピクチャを格納するためのフレーム・バッファを確保するときは、フレーム・バッファ管理領域4（91）のエントリ番号1からN4までを昇順に検索する。まず、検索対象のエントリ番号*i*を「1」に初期化する（ステップ119）。次にエ

ントリ i のフラグを調べ（ステップ 120）、「使用中」でなければフレーム・バッファ i を使用することにしてそのフラグを「使用中」に更新し（ステップ 124）、「使用中」なら i に「1」を加算して更新し（ステップ 121）、次のエントリを検索する。i を更新後その値を調べ（ステップ 122）、i が「N4」を超えた場合、使用可能なフレーム・バッファはないので、エラー終了とする（ステップ 123）。

【0083】図10及び図11に示した方法によれば、高速メモリ上93に確保したフレーム・バッファを、I またはPピクチャ用のフレーム・バッファ・プールに1、できれば2枚、あるいはそれ以上登録し、通常メモリ94上のフレーム・バッファより優先して検索することで、アクセス回数が多いI、Pピクチャに高速メモリ93上のフレーム・バッファが割り当てられる確率を増やし、デコーダ・ソフトウェアの実行速度を高速化する。同時に、Bピクチャ用のフレーム・バッファ・プールに最低1枚の高速メモリ93上に確保したフレーム・バッファを登録し、通常メモリ94上のフレーム・バッファより優先して検索することで、Bピクチャのデコード処理が高速化される確率を増やす。

【0084】以上説明した、フレーム・バッファ・プールの第3の実施例の構成は、比較的多数（例、3枚以上）のフレーム・バッファが高速メモリ93上に確保でき、通常の処理は高速メモリ93上で行えるが、ビットレートの変動やMPEGソフトウェア・デコーダ以外のタスクの負荷変動を想定し、最悪ケースに備え通常メモリ94上に多めにフレーム・バッファを確保しておくようなシステムに適する。

【0085】図9に示した本発明の第3の実施例の構成では、高速メモリ93上に確保したフレーム・バッファの枚数は3枚で、うち2枚をフレーム・バッファ管理領域3（90）に、1枚をフレーム・バッファ管理領域4（91）に登録したが、高速メモリ93上に2枚以上のフレーム・バッファを確保し、フレーム・バッファ管理領域3（90）に1枚以上、フレーム・バッファ管理領域4（91）に1枚以上登録していれば同じ議論が適用できる。

【0086】ただし、Bピクチャを生成する動き補償では、2枚の過去に生成されたピクチャを参照して双方向予測を行うため、性能上高速メモリ93上に3枚以上のフレーム・バッファを確保し、フレーム・バッファ管理領域3（90）には2枚以上登録することが好ましい。

【0087】上記第1から第3の実施例で説明したフレーム・バッファ・プールの構成は、図4に示すように、高速メモリ43と通常メモリ44が並列に内部バス45に接続され、マイクロプロセッサ41のアドレス空間に対等に割り付けられてアクセスされるシステムを想定している。

【0088】ところが、上記第1から第3の実施例で説

明したフレーム・バッファ・プールの構成は、図12に示した構成のマイクロコンピュータ・システムにも適用可能な場合がある。

【0089】図12に示す構成では、スタティックRAMがマイクロプロセッサと通常メモリの間に位置し、キャッシュ・メモリ48として動作している。すなわち、スタティックRAMは通常メモリの内容のうち、最近使われたごく一部の内容のコピーを保持する。

【0090】しかし、マイクロプロセッサがキャッシュ・ブロックのロック機構を備えていれば、キャッシュ・メモリ48の一部のリプレースを禁止し、図4に示した高速メモリ43のように使うことができる。すなわち、上記した第1から第3のフレーム・バッファ・プールの構成は、図12に示すマイクロコンピュータ・システムにも適用可能である。

【0091】なお、上記実施例で流れ図を参照して説明した処理はマイクロコンピュータのプログラム命令の実行によって制御される。

【0092】

【発明の効果】以上説明したように、本発明によれば、小容量の高速メモリと、大容量の通常メモリを組み合わせたシステムを用い、比較的低コストに比較的高速なMPEGデコーダ・ソフトウェアを提供できるという効果を奏する。

【図面の簡単な説明】

【図1】本発明の第1の実施例の構成を説明するための図である。

【図2】本発明の第1の実施例を説明するフロー・チャートである。

【図3】ピクチャの依存関係の例を表す図である。

【図4】高速メモリを持つマイクロコンピュータ・システムの構成例を示す図である。

【図5】本発明の第2の実施例の構成を説明するための図である。

【図6】本発明の第2の実施例の動作を説明するフロー・チャートである。

【図7】本発明の第2の実施例において、高速メモリ上のフレーム・バッファを検索する手順を示すフロー・チャートである。

【図8】本発明の第2の実施例において、通常メモリ上のフレーム・バッファを検索する手順を示すフロー・チャートである。

【図9】本発明の第3の実施例の構成を説明するための図である。

【図10】本発明の第3の実施例の動作を説明するフロー・チャートである。

【図11】本発明の第3の実施例の動作を説明するフロー・チャートである。

【図12】本発明の第4の実施例として高速メモリの代わりにキャッシュを使う方式を説明するための図であ

る。

【図13】マイクロコンピュータ・システムの構成例を示す図である。

【図14】MPEGビットストリームのデコード手順を示すフロー・チャートである。

【図15】従来のフレーム・バッファ・プール構成の一例を示す図である。

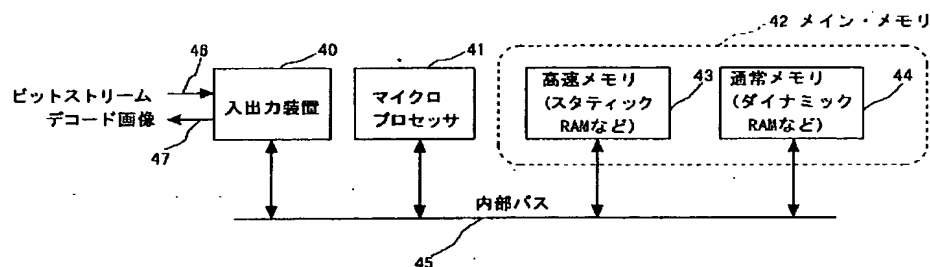
【図16】従来のフレーム・バッファ・プール管理方法を説明するためのフロー・チャートである。

【符号の説明】

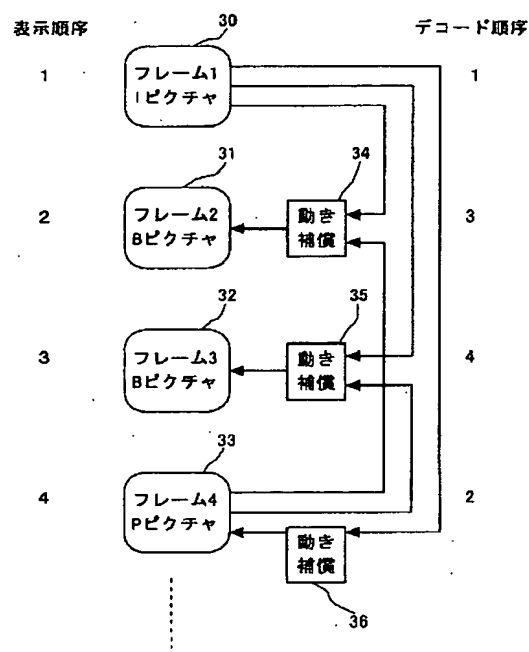
- 10 フレーム・バッファ管理領域
- 11 メイン・メモリ
- 12 高速メモリ
- 13 通常メモリ
- 14 高速メモリ上に確保したフレーム・バッファ
- 15 高速メモリ上に確保したフレーム・バッファ
- 16 通常メモリ上に確保したフレーム・バッファ
- 17 通常メモリ上に確保したフレーム・バッファ
- 40 入出力装置
- 41 マイクロプロセッサ
- 42 メイン・メモリ
- 43 高速メモリ
- 44 通常メモリ
- 45 内部バス
- 46 ビットストリーム
- 47 デコード画像
- 48 キャッシュ・メモリ
- 50 フレーム・バッファ管理領域1
- 51 フレーム・バッファ管理領域2
- 52 メイン・メモリ
- 53 高速メモリ
- 54 通常メモリ
- 55 高速メモリ上に確保したフレーム・バッファ

- * 56 高速メモリ上に確保したフレーム・バッファ
- 57 通常メモリ上に確保したフレーム・バッファ
- 58 通常メモリ上に確保したフレーム・バッファ
- 90 フレーム・バッファ管理領域3
- 91 フレーム・バッファ管理領域4
- 92 メイン・メモリ
- 93 高速メモリ
- 94 通常メモリ
- 95 高速メモリ上に確保したフレーム・バッファ
- 10 96 高速メモリ上に確保したフレーム・バッファ
- 97 通常メモリ上に確保したフレーム・バッファ
- 98 通常メモリ上に確保したフレーム・バッファ
- 99 通常メモリ上に確保したフレーム・バッファ
- 100 通常メモリ上に確保したフレーム・バッファ
- 101 通常メモリ上に確保したフレーム・バッファ
- 130 フレーム・バッファ管理領域
- 131 メイン・メモリ
- 132 メイン・メモリ上に確保したフレーム・バッファ
- 20 133 メイン・メモリ上に確保したフレーム・バッファ
- 134 メイン・メモリ上に確保したフレーム・バッファ
- 135 フラグ
- 136 開始アドレス
- 501 フラグ
- 502 開始アドレス
- 511 フラグ
- 512 開始アドレス
- 30 901 フラグ
- 902 開始アドレス
- 911 フラグ
- * 912 開始アドレス

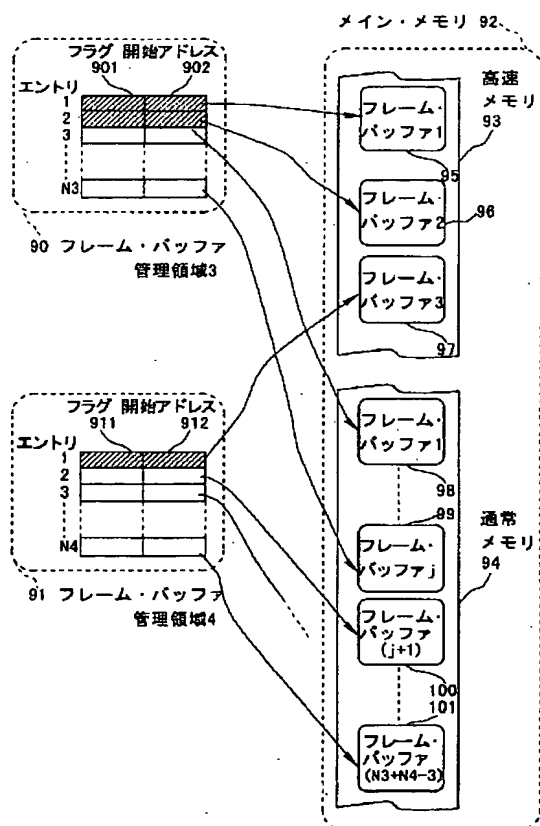
【図4】



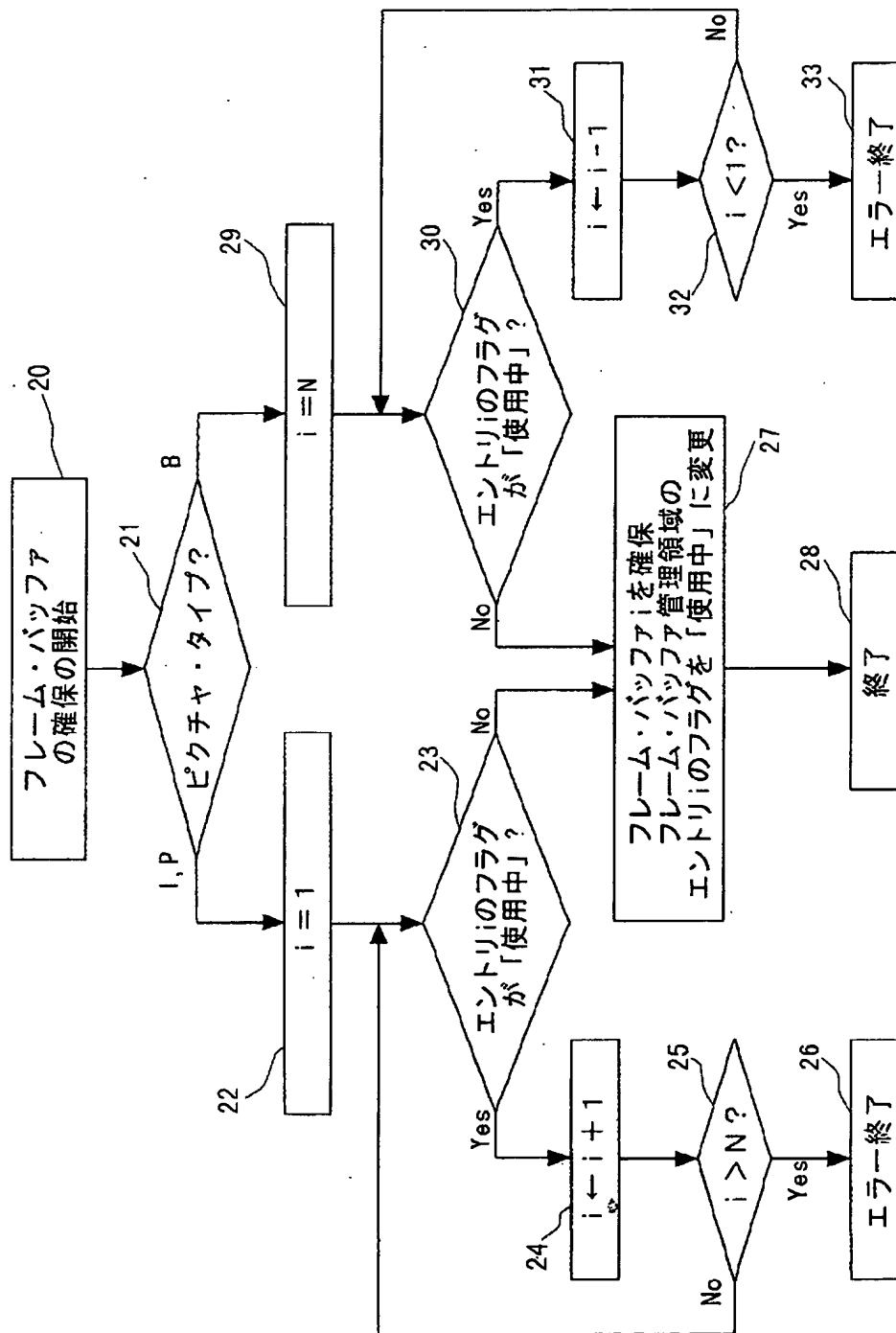
【図 3】



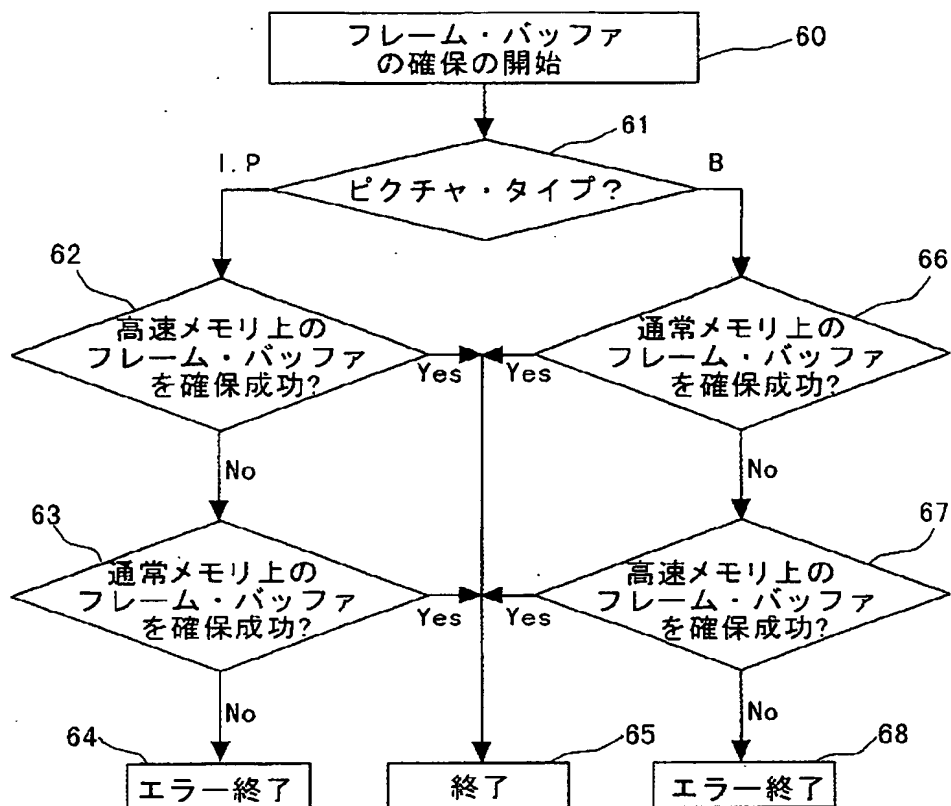
【图9】



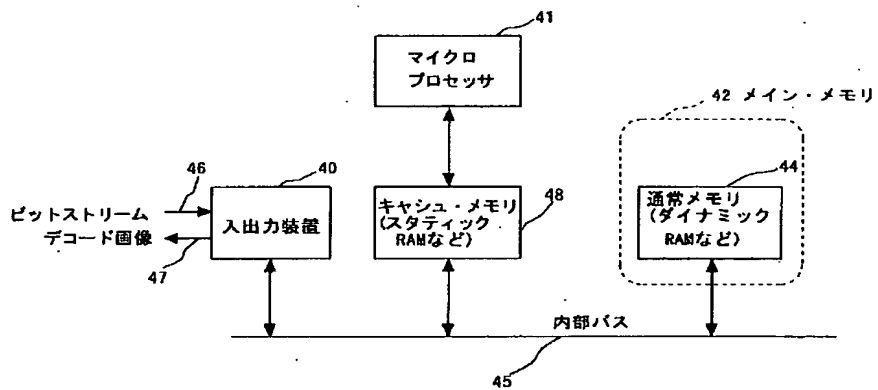
【図2】



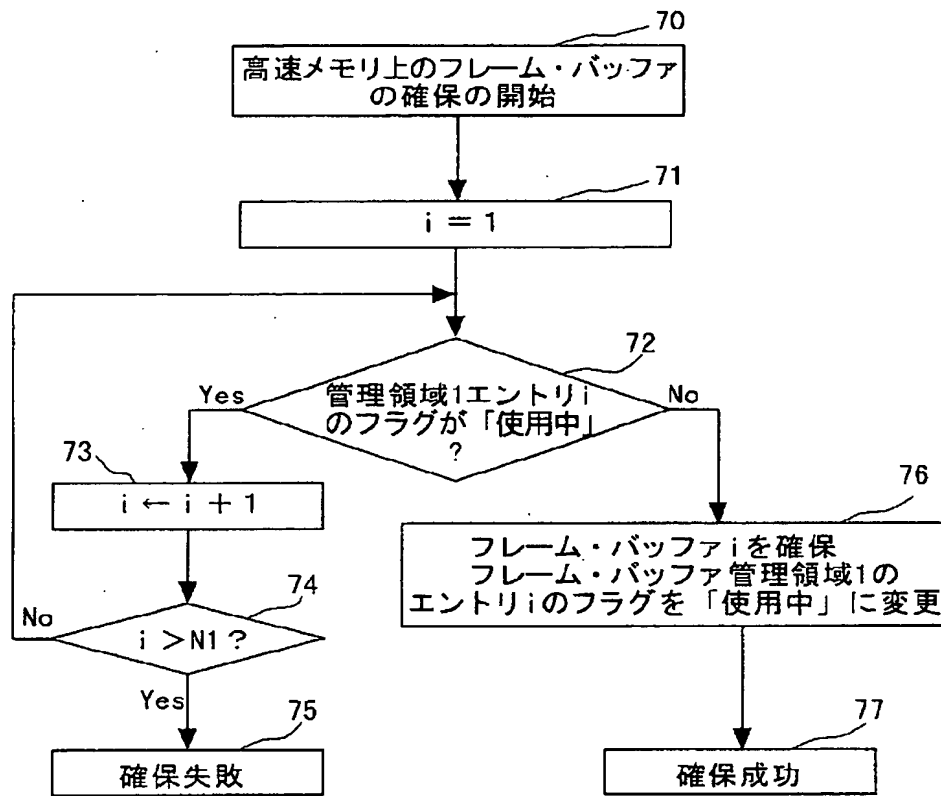
【図6】



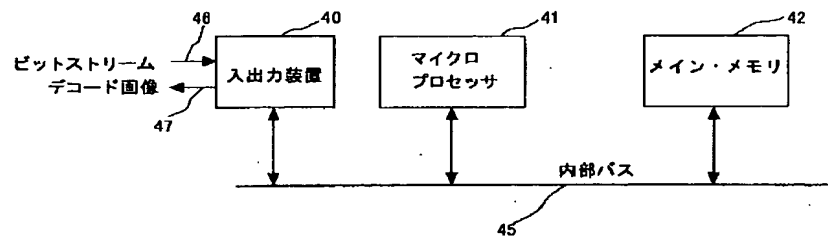
【図12】



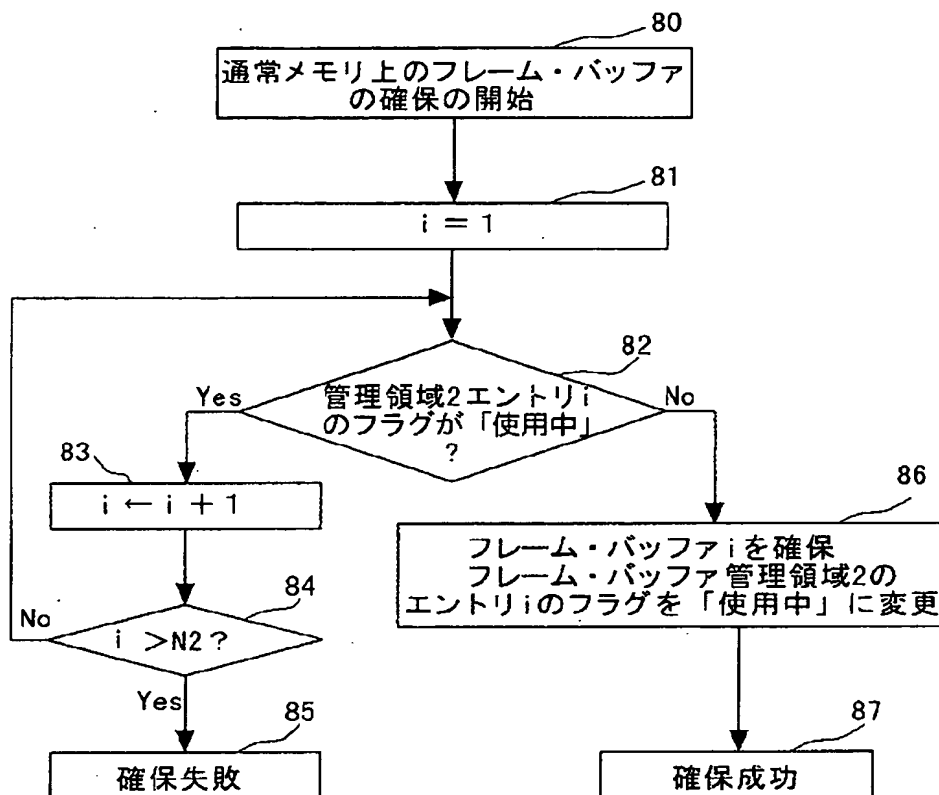
【図7】



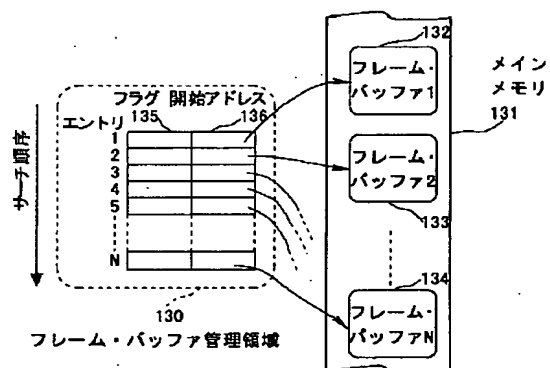
【図13】



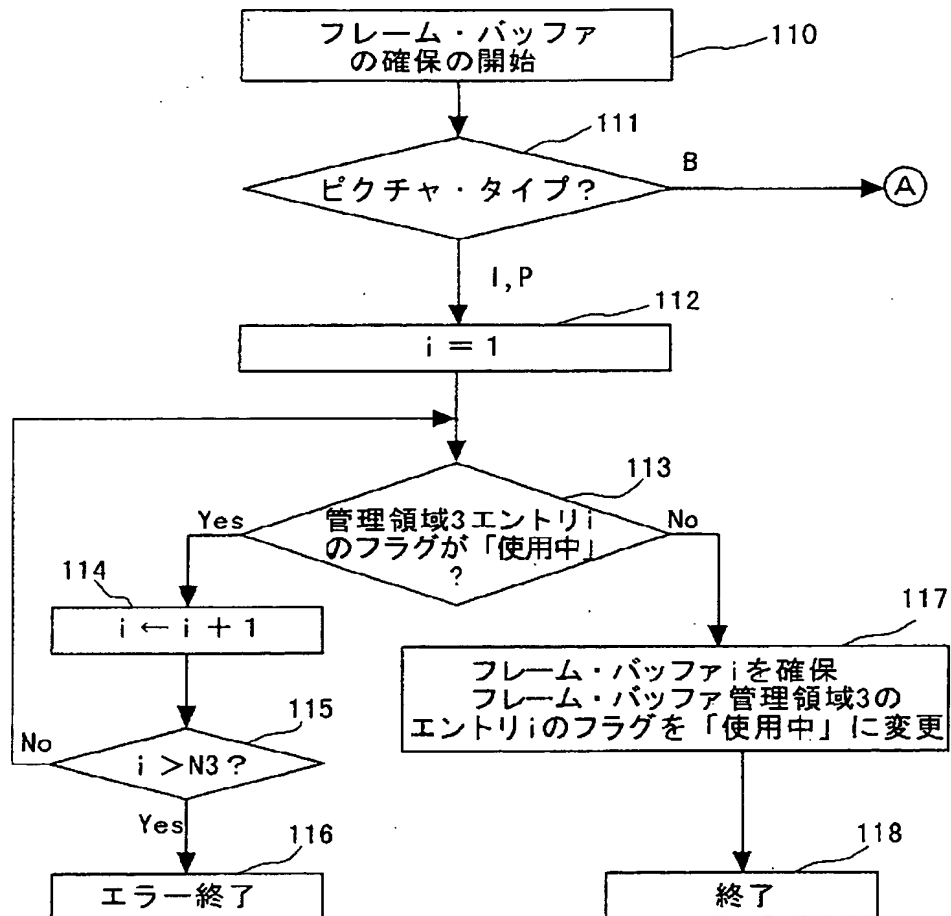
【図8】



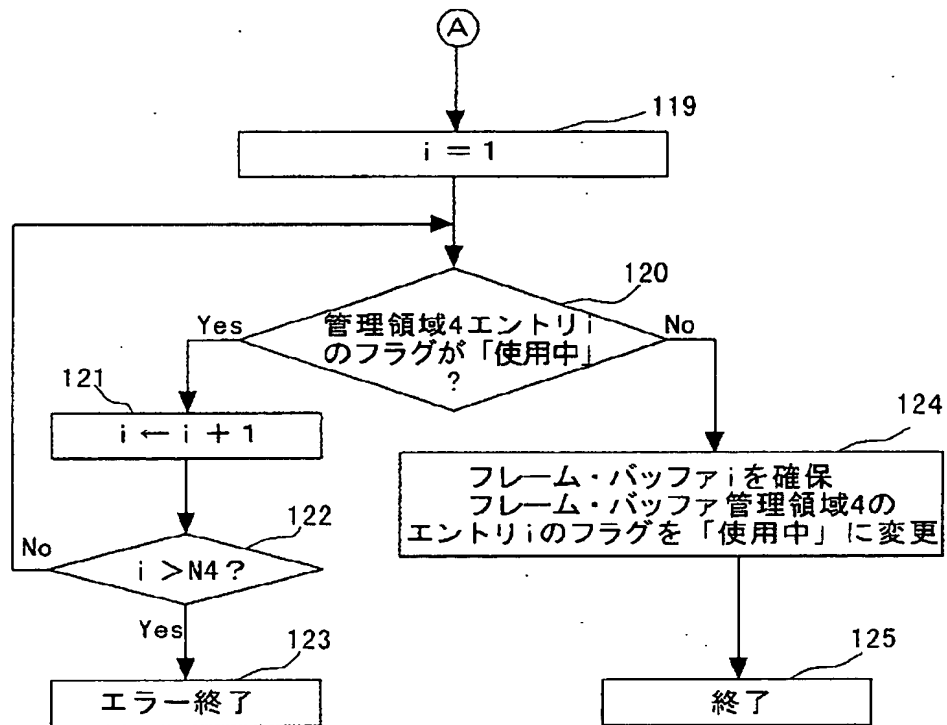
【図15】



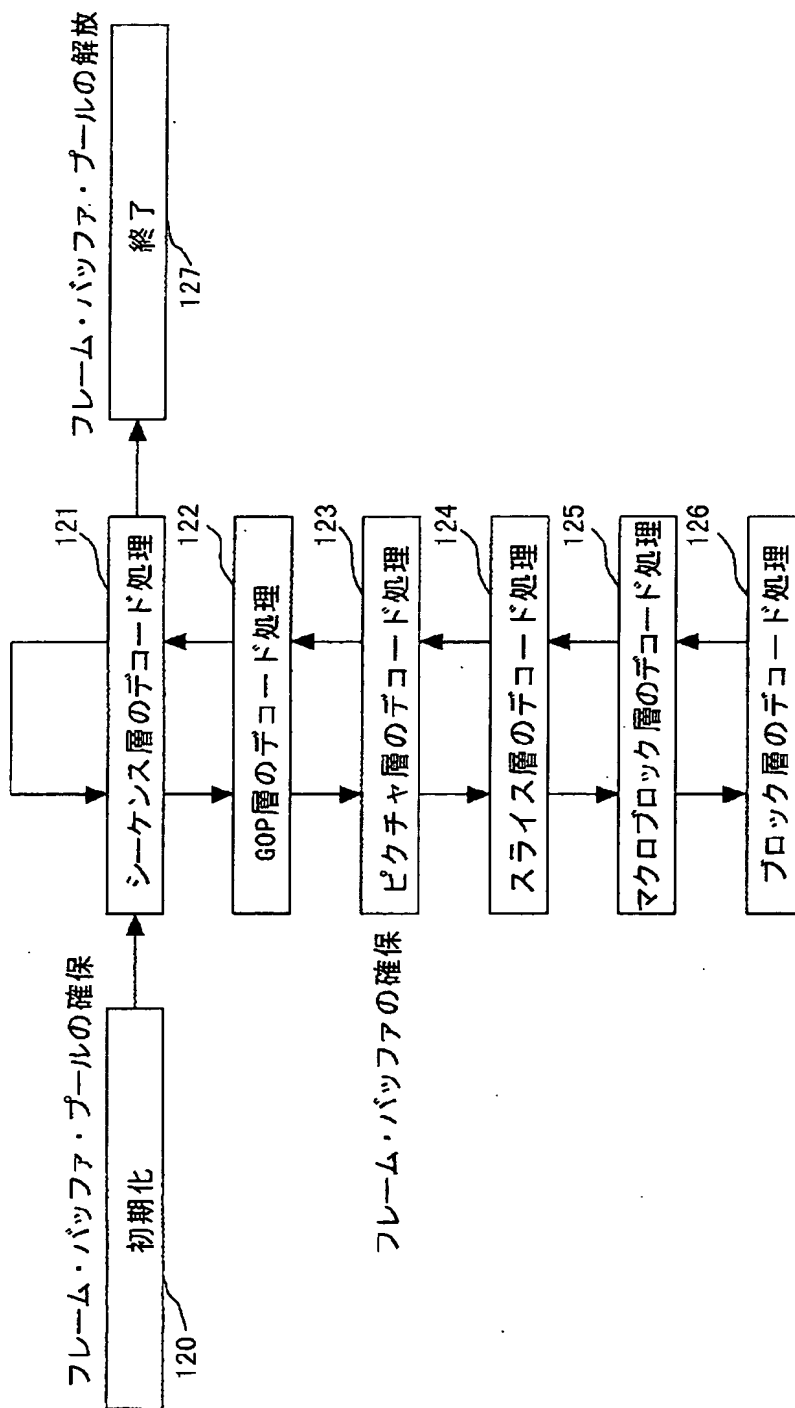
【図10】



【図11】



【図14】



【図16】

